

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Structure of the semiconductor device characterized by preparing and forming opening in the fraction of the electrode pad for wirebonding currently formed [circuit elements / various kinds of / which are formed in the concerned front face] in the concerned front face in the wrap protective coat, forming a thin gold layer on the front face of the aforementioned barrier metal in the semiconductor device which forms barrier metal in the fraction of the aforementioned electrode pad for wirebonding further, and changes, and carrying out wirebonding of the metal wire to the front face of IC chip to this gold layer.

[Claim 2] Various kinds of circuit elements currently formed in the front face of IC chip on the concerned front face a wrap protective coat Opening is prepared and formed in the fraction of the electrode pad for wirebonding currently formed in the concerned front face. Furthermore, it sets to the semiconductor device which forms and grows barrier metal into the fraction of the aforementioned electrode pad for wirebonding so that the fraction of the periphery edge of opening may be covered among the fraction in opening of the aforementioned protective coat, and a protective coat among the concerned electrode pads. Structure of the semiconductor device characterized by forming a thin gold layer in the front face of the aforementioned barrier metal, and carrying out wirebonding of the metal wire to this gold layer.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the structure of the semiconductor device which forms the electrode pad for wirebonding to this circuit element, and changes while it forms various kinds of circuit elements in the front face of IC chip.

[0002]

[Description of the Prior Art] While making the electrode pad for wirebonding formed in the front face of the aforementioned IC chip the product made from aluminum in general and this kind of semiconductor device The protective coat according various kinds of circuit elements currently formed in the front face of the aforementioned IC chip on the concerned front face to a wrap insulator Prepare and form opening in the fraction of the aforementioned electrode pad for wirebonding, and among the aforementioned electrode pads for wirebonding, although it constitutes to the fraction in opening of the aforementioned protective coat so that the ball junction (wirebonding) of the metal wire for connection with the exterior may be carried out A possibility of damaging an electrode pad and a protective coat in this structure with the impact when carrying out the ball junction of the metal wires, such as gold, to an electrode pad etc. was large.

[0003] Then, barrier metal is formed in the fraction of the aforementioned electrode pad for wirebonding so that the fraction of the periphery edge of opening may be covered among the fraction in opening of the aforementioned protective coat, and a protective coat among the concerned electrode pads, and it is made to carry out the ball junction of the metal wire in the latest semiconductor device, as indicated by JP,3-227539,A etc. to the front face of this barrier metal, for example.

[0004]

[Problem(s) to be Solved by the Invention] However, the thing which barrier metal is formed in the fraction of the electrode pad for wirebonding, and is done for the ball junction of the metal wire to the front face of this barrier metal in this way If this barrier metal of what can reduce trauma of the electrode pad and protective coat which occur in the case of the ball junction with the aforementioned barrier metal is formed in the front face of the electrode pad made from aluminum Since the junction nature of the metal wires to this electrode pad, such as gold, fell, there was a problem said that fear of a poor junction, such as a fall of a bonding strength, occurring in the junction becomes large, and the percent defective with becomes high.

[0005] Let it be a technical technical problem that this invention solves this problem.

[0006]

[Means for Solving the Problem] this invention various kinds of circuit elements currently formed in the front face of IC chip on the concerned front face in order to attain this technical technical problem a wrap protective coat In the semiconductor device which prepares and forms opening in the fraction of the electrode pad for wirebonding currently formed in the concerned front face, forms barrier metal in the fraction of the aforementioned electrode pad for wirebonding further, and changes a thin gold layer is formed in the front face of the aforementioned barrier metal, and wirebonding of the metal wire is carried out to this gold layer It was made the configuration called "

[0007]

[Function and Effect of the Invention] thus, the time of carrying out wirebonding of the metal wire to barrier metal by forming a thin gold layer in the front face of the barrier metal to the electrode pad for wirebonding -- setting -- the above -- since a thin gold layer will alloy to both barrier metal and a metal wire, it can improve certainly the junction nature to the barrier metal of a metal wire

[0008] Therefore, according to this invention, in case of wirebonding to a semiconductor device, it has the effect that the percent defective with can be reduced sharply. Since a protective coat can be pressed down with this barrier metal by forming barrier metal so that the fraction of the periphery edge of opening may be covered among the fraction in opening of the aforementioned protective coat, and a protective coat among electrode pads as especially indicated to the claim 2, the aforementioned effect can be promoted more.

[0009]

[Embodiments of the Invention] The drawing (drawing 1 - view 8) at the time of applying the gestalt of operation of this invention to the semiconductor device which used two IC chips hereafter is explained. In this drawing, a sign 1 shows the leadframe equipped with two or more lead-terminal 1b prolonged outward from each four sides in rectangle-like chip mounting section 1a and this chip mounting section 1a.

[0010] Moreover, a sign 2 shows the main IC chip mounted on the top of chip mounting section 1a in the aforementioned leadframe 1, and while many of circuit elements, such as an active element not to illustrate or a passive element, is formed, many of electrode pad 2a for connection to the sub IC chip 3 which many of electrode pad 2c for wirebonding mentions later to the periphery at the inside is respectively formed in the top of this main IC chip 2.

[0011] Furthermore, as shown in drawing 3 , 2d of wrap protective coats prepares opening in the fraction of each aforementioned electrode pad 2c for wirebonding, and various kinds of circuit elements currently formed in the concerned top are formed in the top of this main IC chip. In addition, ***** metal 2e is formed in the fraction of each aforementioned electrode pad 2c for wirebonding so that the fraction of the periphery edge of opening may be covered among the concerned electrode pad 2c among the fraction in opening of the 2d of the aforementioned protective coats, and the 2d of the aforementioned protective coats. In addition, this barrier metal 2e is constituted by the two-layer structure which makes titanium a lower layer, and makes a tungsten the upper layer, or considers as a

chromium lower layer, and makes silver the upper layer.

[0012] On the other hand, a sign 3 shows the sub IC chip mounted on the top of the aforementioned main IC chip 2, and among front reverse both sides in this sub IC chip 3 on one side While many of circuit elements, such as an active element which is not illustrated like the aforementioned main IC chip 2 or a passive element, is formed, electrode pad 3a for connection is formed for every part corresponding to each of each electrode pad 2b in the top of the aforementioned main IC chip 2.

[0013] And while establishing Bump 2b and 3b by gold or solder in each of each electrode pad 2a in the aforementioned main IC chip 2, and each electrode pad 3a in the aforementioned sub IC chip 3, as shown in drawing 4, the aforementioned sub IC chip 3 The field in which the circuit element and electrode pad 3a were formed is placed upside down, to the top side of the aforementioned main IC chip 2 heating the whole, after each of bump 3b in each electrode pad 3a of the concerned sub IC chip 3 lays so that it may **** to each of bump 2b in each electrode bump 2b of the main IC chip 2 While the bumps 2b and 3b who **** mutually by pressing the sub IC chip 3 to the main IC chip 2 (you giving vibration for a ultrasonic wave simultaneously with this press) are joined electrically The opening between the top of the aforementioned main IC chip 2 and the inferior surface of tongue of the aforementioned sub IC chip 3 is filled up with the adhesives 4 or the elastomers by synthetic resin, such as an epoxy resin, and both the ICs chips 2 and 3 are united with it.

[0014] As shown in drawing 5, these whole on subsequently, the top of chip mounting section 1a in the aforementioned leadframe 1 Each electrode pad 2c for wirebonding in the top of the main IC chip 2 aforementioned as it fixes, after mounting the aforementioned main IC chip 2 with adhesives etc., Between each lead-terminal 1b in a leadframe 1 is connected electrically at wirebonding by the metal wires 5, such as thin gold.

[0015] Precede this wirebonding, form thin gold layer 2e' in the front face of barrier metal 2e in the fraction of each aforementioned electrode pad 2c for wirebonding by flash plate plating of gold beforehand, and this is received. [as shown in drawing 6, when it joins by pressing ball section 5a formed in the aforementioned metal wire 5 in end and the ball junction of the aforementioned metal wire 5 is carried out to barrier metal 2e in electrode pad 2c] the above -- since thin gold layer 2e' will alloy to both barrier metal 2e and the metal wire 5, it can improve certainly the junction nature to barrier metal 2e of the metal wire 5

[0016] Thus, after mounting two unified IC chips 2 and 3 on a leadframe 1, If wirebonding of between each lead-terminal 1b in each electrode pad 2c for wirebonding and the leadframe 1 in the main IC chip 2 is carried out with the metal wire 5, as shown in drawing 7 The package section 6 made from synthetic resin which seals the whole is fabricated by transfer molding. subsequently As shown in drawing 8, after separating from a leadframe 1, it considers as the finished product of a packed type semiconductor device by bending and carrying out the fraction which projects from the package section 6 among each lead-terminal 1b so that it may become the shape of the inferior surface of tongue of the package section 6, and an abbreviation same flat surface.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the decomposition perspective diagram showing the operation gestalt of this invention.

[Drawing 2] It is the vertical section front view of drawing 1.

[Drawing 3] It is the important section enlarged view of drawing 2.

[Drawing 4] It is the vertical section front view showing the status that the sub IC chip was unified to the main IC chip in the aforementioned operation gestalt.

[Drawing 5] It is the vertical section front view showing the status that the main IC chip which mounted the sub IC chip in the aforementioned operation gestalt was mounted to the leadframe.

[Drawing 6] It is the important section enlarged view of drawing 5.

[Drawing 7] It is the vertical section front view showing the status that the package section which seals the whole in the aforementioned operation gestalt was fabricated.

[Drawing 8] It is the vertical section front view of the semiconductor device in the aforementioned operation gestalt.

[Description of Notations]

- 1 Leadframe
- 1a Chip mounting section
- 1b Lead terminal
- 2 Main IC Chip
- 2a Electrode pad
- 2b Bump
- 2c The electrode pad for wirebonding
- 2d Protective coat
- 2e Barrier metal
- 2e' Gold layer
- 3 Sub IC Chip
- 3a Electrode pad
- 3b Bump
- 4 Adhesives of Synthetic Resin
- 5 Metal Line
- 6 Package Section

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-40601

(43) 公開日 平成11年(1999) 2月12日

(51) Int.Cl.⁶

H 0 1 L 21/60
25/065
25/07
25/18

識別記号

3 0 1

F I

H 0 1 L 21/60
25/08

3 0 1 P
B

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号

特願平9-195560

(22) 出願日

平成 9 年(1997) 7 月22日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 柴田 和孝

京都市右京区西院溝崎町21番地 ローム株
式会社内

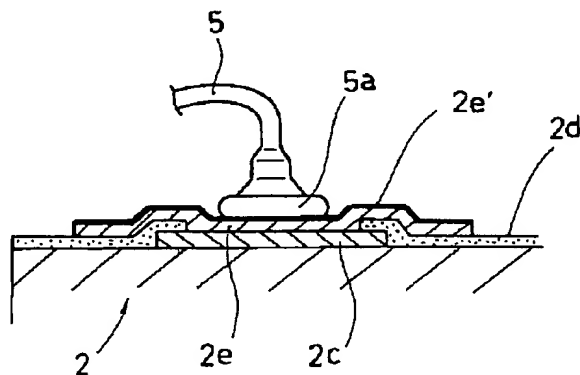
(74) 代理人 弁理士 石井 暁夫 (外 2 名)

(54) 【発明の名称】 半導体装置の構造

(57) 【要約】

【課題】 ICチップ2の表面に、保護膜を、当該表面におけるワイヤボンディング用電極パッド2cの部分に開口部を設けて形成し、前記電極パッド2cの部分に、バリアメタル2eを形成して成る半導体装置において、前記ワイヤボンディング用電極パッド2cに対して金属ワイヤ5を接合することが確実・強固にできるようにする。

【手段】 前記バリアメタル2eの表面に、薄い金属2e'を形成し、この金属2e'に対して金属ワイヤ5をボール接合する。



1

【特許請求の範囲】

【請求項1】ICチップの表面に、当該表面に形成されている各種の回路素子を覆う保護膜を、当該表面に形成されているワイヤボンディング用電極パッドの部分に開口部を設けて形成し、更に、前記ワイヤボンディング用電極パッドの部分に、バリアメタルを形成して成る半導体装置において、

前記バリアメタルの表面に、薄い金層を形成し、この金層に対して金属ワイヤをワイヤボンディングすることを特徴とする半導体装置の構造。

【請求項2】ICチップの表面に、当該表面に形成されている各種の回路素子を覆う保護膜を、当該表面に形成されているワイヤボンディング用電極パッドの部分に開口部を設けて形成し、更に、前記ワイヤボンディング用電極パッドの部分に、バリアメタルを、当該電極パッドのうち前記保護膜の開口部内の部分及び保護膜のうち開口部の周囲縁の部分に覆うように形成して成る半導体装置において、

前記バリアメタルの表面に、薄い金層を形成し、この金層に対して金属ワイヤをワイヤボンディングすることを特徴とする半導体装置の構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ICチップの表面に、各種の回路素子を形成すると共に、この回路素子に対するワイヤボンディング用電極パッドを形成して成る半導体装置の構造に関するものである。

【0002】

【従来の技術】一般、この種の半導体装置では、前記ICチップの表面に形成するワイヤボンディング用電極パッドをアルミニウム製にする一方、前記ICチップの表面に、当該表面に形成されている各種の回路素子を覆う絶縁体による保護膜を、前記ワイヤボンディング用電極パッドの部分に開口部を設けて形成し、前記ワイヤボンディング用電極パッドのうち前記保護膜の開口部内の部分に対して、外部との接続用金属ワイヤをボール接合（ワイヤボンディング）するように構成しているが、この構造では、金等の金属ワイヤを電極パッドに対してボール接合するときの衝撃等にて、電極パッド及び保護膜を損傷するおそれが大いなのであった。

【0003】そこで、最近の半導体装置においては、例えば、特開平3-227539号公報等に記載されているように、前記ワイヤボンディング用電極パッドの部分に、バリアメタルを、当該電極パッドのうち前記保護膜の開口部内の部分及び保護膜のうち開口部の周囲縁の部分に覆うように形成し、このバリアメタルの表面に対して、金属ワイヤをボール接合するようにしている。

【0004】

【発明が解決しようとする課題】しかし、このように、ワイヤボンディング用電極パッドの部分に、バリアメ

2

ルを形成して、このバリアメタルの表面に対して、金属ワイヤをボール接合することは、そのボール接合の際に発生する電極パッド及び保護膜の損傷を、前記バリアメタルにて低減することができるものの、このバリアメタルをアルミニウム製電極パッドの表面に形成すると、この電極パッドに対する金等の金属ワイヤの接合性が低下するから、その接合に接合強度の低下等の接合不良が発生することのおそれが大きくなり、半導体装置におけるワイヤボンディングに際しての不良率が高くなるという問題があった。

【0005】本発明は、この問題を解消することを技術的課題とするものである。

【0006】

【課題を解決するための手段】この技術的課題を達成するため本発明は、「ICチップの表面に、当該表面に形成されている各種の回路素子を覆う保護膜を、当該表面に形成されているワイヤボンディング用電極パッドの部分に開口部を設けて形成し、更に、前記ワイヤボンディング用電極パッドの部分に、バリアメタルを形成して成る半導体装置において、前記バリアメタルの表面に、薄い金層を形成し、この金層に対して金属ワイヤをワイヤボンディングする。」という構成にした。

【0007】

【発明の作用・効果】このように、ワイヤボンディング用電極パッドに対するバリアメタルの表面に、薄い金層を形成することにより、金属ワイヤをバリアメタルに対してワイヤボンディングするときにおいて、前記薄い金層が、バリアメタル及び金属ワイヤの両方に対して合金化することになるから、金属ワイヤのバリアメタルに対する接合性を確実に向上できるのである。

【0008】従って、本発明によると、半導体装置に対するワイヤボンディングに際して、その金属ワイヤを電極パッドに対し確実、且つ、強固にワイヤボンディングすることができるから、半導体装置におけるワイヤボンディングに際しての不良率を大幅に低減できる効果を有する。特に、請求項2に記載したように、バリアメタルを、電極パッドのうち前記保護膜の開口部内の部分及び保護膜のうち開口部の周囲縁の部分に覆うように形成することにより、このバリアメタルにて保護膜を押さえることができるから、前記の効果をより助長できる。

【0009】

【発明の実施の形態】以下、本発明の実施の形態を、二つのICチップを使用した半導体装置に適用した場合の図面（図1～図8）について説明する。この図において符号1は、矩形状のチップマウント部1aと、このチップマウント部1aにおける四つの各辺から外向きに延びる複数本のリード端子1bとを備えたリードフレームを示す。

【0010】また、符号2は、前記リードフレーム1におけるチップマウント部1aの上面にマウントされるメ

インICチップを示し、このメインICチップ2の上面には、図示しない能動素子又は受動素子等のような回路素子の多数個が形成されていると共に、その周囲にワイヤボンディング用電極パッド2cの多数個が、その内側に後述するサブICチップ3に対する接続用の電極パッド2aの多数個が各々形成されている。

【0011】更に、このメインICチップの上面には、図3に示すように、当該上面に形成されている各種の回路素子を覆う保護膜2dが、前記各ワイヤボンディング用電極パッド2cの部分に開口部を設けて形成されている。加えて、前記各ワイヤボンディング用電極パッド2cの部分には、バリアメタル2eが、当該電極パッド2cのうち前記保護膜2dの開口部内の部分及び前記保護膜2dのうち開口部の周囲縁の部分に形成されている。なお、このバリアメタル2eは、例えば、チタンを下層としタングステンを上層とするか、クロム下層とし銀を上層とする二層構造に構成されている。

【0012】一方、符号3は、前記メインICチップ2の上面にマウントされるサブICチップを示し、このサブICチップ3における表裏両面のうち片面には、前記メインICチップ2と同様に図示しない能動素子又は受動素子等のような回路素子の多数個が形成されていると共に、前記メインICチップ2の上面における各電極パッド2bの各々に対応する箇所ごとに接続用の電極パッド3aが形成されている。

【0013】そして、前記メインICチップ2における各電極パッド2a、及び前記サブICチップ3における各電極パッド3aの各々に、金又は半田によるバンプ2b、3bを設ける一方、前記サブICチップ3を、図4に示すように、その回路素子及び電極パッド3aを形成した面を下向きにして、前記メインICチップ2の上面側に、当該サブICチップ3の各電極パッド3aにおけるバンプ3bの各々が、メインICチップ2の各電極バンプ2bにおけるバンプ2bの各々に接当するように載置したのち、全体を加熱しながら、サブICチップ3をメインICチップ2に対して押圧（この押圧と同時に超音波を振動を付与しても良い）することにより、互いに接当するバンプ2b、3bを電気的に接合すると共に、前記メインICチップ2の上面と、前記サブICチップ3の下面との間の隙間に、エポキシ樹脂等の合成樹脂による接着剤4又はエラストマーを充填して、両ICチップ2、3を一体化する。

【0014】次いで、これらの全体を、図5に示すように、前記リードフレーム1におけるチップマウント部1aの上面に、前記メインICチップ2を接着剤等にて固着するようにしてマウントしたのち、前記メインICチップ2の上面における各ワイヤボンディング用電極パッド2cと、リードフレーム1における各リード端子1bとの間を、細い金等の金属ワイヤ5によるワイヤボンディングにて電気的に接続するのである。

【0015】このワイヤボンディングに先立って、前記各ワイヤボンディング用電極パッド2cの部分におけるバリアメタル2eの表面に、予め薄い金層2e'を、金のフラッシュメッキにて形成しておき、これに対して、図6に示すように、前記金属ワイヤ5に一端的に形成したボール部5aを押圧することにより接合するのであって、前記金属ワイヤ5を電極パッド2cにおけるバリアメタル2eに対してボール接合するときにおいて、前記薄い金層2e'が、バリアメタル2e及び金属ワイヤ5の両方に対して合金化することになるから、金属ワイヤ5のバリアメタル2eに対する接合性を確実に向上できるのである。

【0016】このようにして、一体化した二つのICチップ2、3を、リードフレーム1にマウントしたのち、メインICチップ2における各ワイヤボンディング用電極パッド2cとリードフレーム1における各リード端子1bとの間を金属ワイヤ5にてワイヤボンディングすると、図7に示すように、全体を密封する合成樹脂製のパッケージ部6を、トランスファ成形によって成形し、次いで、図8に示すように、リードフレーム1から切り放したのち、各リード端子1bのうちパッケージ部6から突出する部分を、パッケージ部6の下面と略同一平面状になるように折り曲げすることにより、パッケージ型半導体装置の完成品とするのである。

【図面の簡単な説明】

【図1】本発明の実施形態を示す分解斜視図である。

【図2】図1の縦断正面図である。

【図3】図2の要部拡大図である。

【図4】前記実施形態においてメインICチップに対してサブICチップを一体化した状態を示す縦断正面図である。

【図5】前記実施形態においてサブICチップをマウントしたメインICチップをリードフレームに対してマウントした状態を示す縦断正面図である。

【図6】図5の要部拡大図である。

【図7】前記実施形態において全体を密封するパッケージ部を成形した状態を示す縦断正面図である。

【図8】前記実施形態における半導体装置の縦断正面図である。

【符号の説明】

1	リードフレーム
1a	チップマウント部
1b	リード端子
2	メインICチップ
2a	電極パッド
2b	バンプ
2c	ワイヤボンディング用電極パッド
2d	保護膜
2e	バリアメタル

(4)

特開平11-40801

2 e'
3
3 a
3 b

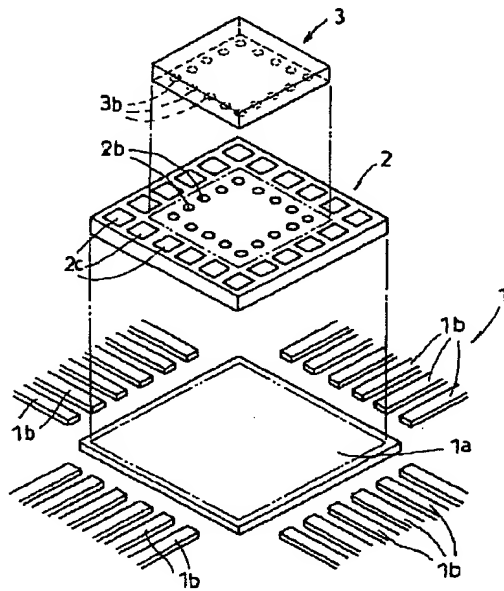
5
金属
サブICチップ
電極パッド
 bumps

* 4
5
6

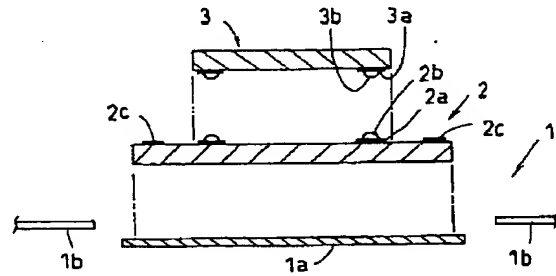
6
合成樹脂の接着剤
金属線
パッケージ部

*

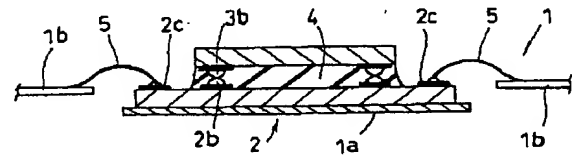
【図1】



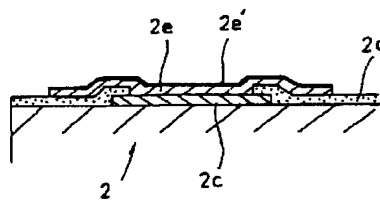
【図2】



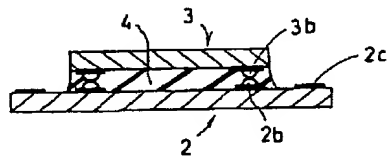
【図5】



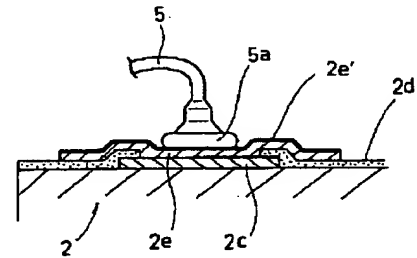
【図3】



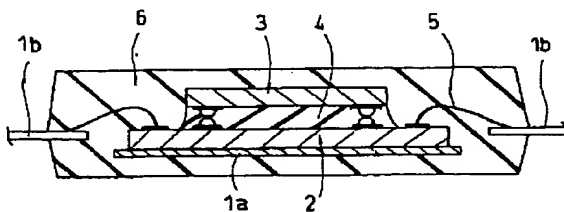
【図4】



【図6】



【図7】



【図8】

